

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030069321 A
 (43)Date of publication of application: 27.08.2003

(21)Application number: 1020020008877

(22)Date of filing: 19.02.2002

(71)Applicant: CCUBE DIGITAL CORPORATION, LTD.

(72)Inventor: KIM, JONG HEON

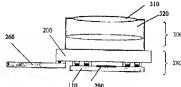
(51)Int. Cl.

H01L 27 /146

(54) SEMICONDUCTOR IMAGE DEVICE PACKAGE USING FLIP CHIP BUMPING AND FABRICATING METHOD THEREFOR

(57) Abstract:

PURPOSE: A semiconductor image device package using flip chip bumping and a fabricating method therefor are provided to minimize the size of the package and remarkably reduce the size of an ultimate module by directly forming Au in an electrode pad and mounting the electrode pad on a circuit board. **CONSTITUTION:** A plurality of electrode pads are exposed by an insulation layer in a semiconductor image device(110). A multilayered lower metal layer is formed on the electrode pad. An Au bump is formed in the lower metal layer. The semiconductor image device package having the Au bump has a plurality of substrate electrode pads. An image sensor assembly is attached to a glass substrate(200) by using anisotropic conductive polymer. The Au bump of the attached package and its surroundings are protected and sealed by the anisotropic conductive polymer. An image sensor region is sealed by a transparent circuit board.



copyright KIPO 2003

Legal Status

Date of request for an examination (20020219)

Notification date of refusal decision (00000000)

Final disposal of an application (rejection)

Date of final disposal of an application (20050311)

Patent registration number ()

Date of registration (00000000)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19)대한민국특허청(KR) (12) 공개특허공보(A)

(51). Int. Cl.⁷
H01L 27/146

(11) 공개번호
(43) 공개일자
특2003-0069321
2003년08월27일

(21) 출원번호
(22) 출원일자
10-2002-0008877
2002년02월19일

(71) 출원인
주식회사 씨큐브디지탈
충청북도 청원군 오창면 오창과학산업단지 17-5

(72) 발명자
김중헌
충청북도청주시흥덕구가정동1511대원아파트101동1107호

심사청구 : 있음

(54) 플립칩 범핑을 이용한 반도체 활성소자 패키지 및 그제조방법

요약

본 발명은 반도체 활성소자(CMOS Image Sensor Chip)용 패키지(Package)에 관한 것으로 특히, 반도체 활성소자 패키지를 종래의 세라믹 이미지 센서 패키지 (3)에서 저가이면서 생산성이 우수하고, 그 크기 및 높이 측면에서 혁신적으로 감소된 플립칩 Au 범핑을 이용한 패키지 구조 및 그 제조공정과 이를 이용한 모듈구조를 제공하는 것을 목적으로 한다.

이를 이용하여 웨이퍼 상태에서 패키지 공정을 끝내는 플립칩 Au 범핑 공정을 이용하며, 어셈블리를 이방 전도성 폴리머(Anisotropic conductive polymer)를 사용하여 금속회로가 형성되어 있는 투명한 회로기판 위에 실장하는 COG(chip on glass) 공정을 채택하여 실장과 동시에 활성소자의 이미지 표면이 밀봉되는 효과를 얻을 수 있다.

배표도

도 5.

색인어

반도체 활성소자, Au 범프, 이미지 센서 어셈블리, 이방 전도성 폴리머, COG(Chip on Glass)

명세서

도면의 간단한 설명

도 1a 내지 도 1c 는 종래 기술에 의한 다수의 전극패드를 갖는 반도체 활성소자 및 이미지 센서 모듈을 개략적으로 도시한 도면

도 2a 내지 도 2f 는 본 발명의 양호한 실시예를 보인 것으로서, 본 발명에 따른 활성소자에 Au 범프를 형성하는 공정을 나타낸 공정도

도 3a 내지 도 3j 는 본 발명에 의해 제조된 반도체 활성소자 플립칩 패키지용 회로기판의 구조 및 회로기판에 패키지를 실장하는 공정을 도시한 흐름도

도 4 는 본 발명으로 제조된 반도체 활상소자 모듈의 도면

도 5 는 본 발명으로 제조된 반도체 활상소자 패키지를 제품에 장착한 상태를 나타낸 개략적인 설명도

도 6 은 동일한 소자크기에 대해 본 발명으로 제조된 반도체 활상소자 패키지의 크기 감소효과를 기존의 이미지 센서 패키지와 개념적으로 비교한 도면

* 도면의 주요부분에 대한 부호의 설명 *

1 : 반도체 활상소자 2 : 전극패드

3 : 이미지 센싱 영역 4 : 골드 와이어

5 : 유리 6 : 세라믹 기판

7 : 리이드 8 : 접착제

9 : 렌즈 유닛 10 : 렌즈 홀더

11 : 모듈 기판 12 : 기존 이미지 센서 패키지

100 : 하부 금속층 110 : 반도체 활상소자

120 : 절연층 130 : 금속 접착층

140 : 도금용 전극층 150 : 전극패드

160 : 도금 공정용 감광성 물질 170 : Au 범프

200 : 투명한 회로기판 210 : 기판 전극패드

220 : 외부 연결용 전극패드 230 : 이방 전도성 폴리머

240 : 도전성 금속볼 245 : 기판 금속회로

250 : 풀립칩 본딩 헤드 260 : 가요성 기판

270 : 절단용 휠 280 : 이미지 센서 어셈블리 유닛

290 : 이미지 센싱 영역 300 : 렌즈 유닛

310 : 렌즈 320 : 렌즈 홀더

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 활상소자용 이미지 센서 패키지에 관한 것으로서, 보다 구체적으로는 풀립칩 Au 범핑(Au bumping)을 이용한 반도체 활상소자 패키지 및 그 제조방법에 관한 것이다.

일반적으로, 이미지 센서 칩은 고체 활상소자라고도 불리는 것으로서, 광전변환소자와 전하 결합소자를 사용하여 피사체를 촬상하여 전기적인 신호로 출력하는 장치를 말한다.

이와 같은 이미지 센서 칩을 기판에 장착하기 위해서는 칩을 패키지 바디 내에 탑재시키는 패키징 작업을 행하게 되는데, 이를 설명하면 아래와 같다.

도 1a 내지 도 1c를 참조하면, 종래의 반도체 촬상소자(1)의 이미지 센서 모듈은 도 1c에 도시한 바와 같이 렌즈 홀더(10), 렌즈 홀더에 부착된 렌즈 유닛(9) 및 상기 렌즈 홀더의 하단부에 구성된 이미지 센서 패키지(12) 등으로 구성되어 있다.

이중 이미지 센서 패키지(12)는, 도 1b에 도시한 바와 같이 세라믹 기판(6)상에 라이더(7)로 연결되어 있는 플라스틱 또는 세라믹 패키지로 제작되어 있고, 그 패키지 내부에는 반도체 촬상소자(1) 이미지 센서 칩을 갖고 있으며, 이미지 센서 칩은 골드 와이어(4) 본딩을 통해 기판(6)과 전기적으로 연결되어 있고, 상부면은 유리판(5)이 접착제(8)로 접착되어 있어 외부 환경으로부터 보호된다.

상술한 바에 따르면 반도체 촬상소자 이미지 센서 모듈의 크기는, 반도체 촬상소자(1)가 실장되어 있는 패키지 크기와의 면적에 전적으로 의존하기 때문에 반도체 촬상소자 이미지 센서 모듈의 크기는 하단의 카메라 부의 크기를 어느 정도 감소시키는가에 의해서 결정된다.

따라서 기존 제품에 적용되고 있는 종래의 골드 와이어(4) 본딩 및 플라스틱 몰딩 또는 세라믹 공정에 의한 패키지는, 골드 와이어 본딩(4)에 의해 패키지 크기가 커지는 단점을 지니고 있고, 또한 제작 공정시간이 길어지기 때문에 결국 생산원가가 높아지며, 이들 제품크기의 소형화 추세에 적극적으로 부응할 수 없는 단점을 지니고 있다.

따라서 본 발명은 최근 이동 통신기기 또는 PC용 주변 부품의 소형화 추세에 따라 큰 면적을 차지하고 있는 렌즈부의 소형화 요구를 적극적으로 만족시킬 수 있는 새로운 형태의 패키지 및 어셈블리 공정을 제공하여 이미지 센서 모듈의 소형화를 이루고자 한다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래의 문제점을 해결하고자 중요한 두 가지 개념을 도입하였다.

즉, 본 발명은 반도체 촬상소자 이미지 센서 모듈의 크기 감소의 중요한 사안이 패키지 크기의 감소를 위해 기존의 골드 와이어 본딩 방식이 아니라 전극패드에 Au를 직접 형성시켜 회로기판에 실장하는 풀립질 Au 범프를 이용한 반도체 촬상소자용 패키지를 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적인 과제는, Au 범프 후 촬상소자를 회로기판에 실장하고, 소자 표면을 외부 환경으로부터 보호하는 과정을 한번의 공정으로 완성하는 어셈블리 방법을 제공하는 것이다.

본 발명이 이루고자 하는 또 다른 특징은, 상기 공정으로 제조된 반도체 촬상소자 풀립질 패키지와 이방 전도성 필름을 적용한 새로운 구조의 이미지 센서모듈을 제공하는 것이다.

발명의 구성 및 작용

상기한 바와 같은 본 발명의 목적을 달성하기 위한 반도체 촬상소자 이미지센서 모듈의 바람직한 실시예는,

절연층으로 분리된 다수의 전극패드가 있는 반도체 촬상소자와;

노출된 전극패드 및 절연층의 상부에 순차적으로 금속 접착층과, Au 도금층 전극층을 형성하는 공정과;

상기 Au 도금층 전극층의 상부에 도금 공정용 감광성 물질을 도포한 다음, 노광 및 현상하여 상기 전극패드 영역 부위만의 감광성 물질을 제거하여 전극패드 부위가 노출되도록 패터닝하는 공정과;

상기 노출된 Au 도금층 전극층의 상부에 Au를 도금하여 Au 범프를 형성하는 공정과;

상기 도금된 Au 범프를 마스크로 적용하여 상기 Au 도금층 전극층과 금속 접착층을 에칭하는 공정을 포함하여 이루어지는 것을 특징으로 한다.

또한, 본 발명의 반도체 촬상소자 이미지 센서 모듈은, 상기 전극패드의 상부 및 그 주변 절연층의 상부에 형성된 하부 금속층들과;

상기 하부 금속층들이 전극패드로부터 금속 집착층과 도금용 전극층으로 구성된 것과;

전극패드가 형성되어 있는 투명한 회로기판에 일정 범위 내에 있는 크기를 갖는 도전성 금속분이 함유되어 있는 이방 전도성 폴리머를 도포 또는 집착하는 공정과,

이방 전도성 폴리머가 도포되거나 집착되어 있는 투명한 회로기판에 상기 Au 범프가 형성된 반도체 활성소자를 접착시키는 공정과;

상기 이방 전도성 폴리머를 압력을 가하여 도전성 금속분이 Au 범프와 투명한 회로기판의 기판 전극패드 사이에서 기계적으로 집착되도록 하고, 동시에 열을 가하여 폴리머 수지를 경화시켜서 반도체 활성소자의 이미지 센싱 영역이 밀봉되도록 제조된 것을 특징으로 한다.

상기와 같은 본 발명의 바람직한 실시예에 의한 목적과 특징을 좀더 구체적으로 이해하기 위해 첨부된 도면을 참조하여 바람직한 실시예를 상세히 설명한다.

도 2는 본 발명에 의해 반도체 활성소자(110)에 Au 범핑을 적용하는 과정을 단계별로 나타낸 것이다.

먼저, 도 2a를 참조하면, 반도체 활성소자(110)의 표면에 절연층(120)을 형성한 다음, 선택적으로 식각하여 서로 이격되는 다수의 전극패드(150)를 노출시키고, 그 결과물의 상부전면에 순차적으로 금속 집착층(130)과 Au 도금용 전극층(140)을 형성한다.

이때, 금속 집착층(130)은 반도체 활성소자(110)의 절연층(120)과 전극패드(150)와 접착력이 우수한 Ti, Al 또는 Cr 중 선택된 어느 하나를 사용하거나 이들을 함유하는 합금들이 될 수 있으며, Au 도금용 전극층(140)은 전기 전도도가 우수한 금속으로서 Au 또는 Cu 또는 그 합금 및 원가 측면에서 Ni 또는 그 합금 등이 사용될 수 있다.

상기 금속 집착층(130)은 100~5,000Å 두께의 Al 제질, Al계 합금 제질, Ti 제질, Ti계 합금 제질, Cr 제질 또는 Cr 합금제질 중 선택된 어느 하나로 형성하는 것이 바람직하나, 접착력 측면에서 Ti 또는 그 합금 제질이 적절하다.

Au 도금용 전극층(140)은 100~5,000Å 두께의 Au, Cu 제질, Cu 합금 또는 NiV 제질, Ni계 합금 제질 중 선택된 어느 하나로 형성하는 것이 바람직하나 전기전도도 및 내산화성 측면에서 Au가 가장 안정한 특성을 나타낼 수 있다.

그리고, Au 범프(170)를 전극패드(150) 또는 특정 영역에만 형성시키기 위한 공정으로서, 도 2b에 도시한 바와 같이 상기 Au 도금용 전극층(140)의 상부 전면에 도금 공정용 감광성 물질(160)을 도포한 다음, 노광 및 현상하여 감광성 물질이 Au가 도금되어야 할 상기 전극패드(150)의 영역만이 노출되도록 감광성 물질을 패터닝 한다.

그리고, 도 2c 및 도 2d에 도시한 바와 같이 상기 노출된 Au 도금용 전극층(140)의 상부에 Au를 도금하여 Au 범프(170)를 형성한다.

그리고, 도 2d에 도시한 바와 같이 상기 패터닝된 도금 공정용 감광성 물질(160)을 제거하고, 마지막으로 도 2e에 도시한 바와 같이 상기 Au 범프(170)를 마스크로 적용하여 상기 Au 도금용 전극층(140) 및 금속 집착층(130)을 화학적으로 에칭함으로써, 본 발명의 바람직한 실시예에 따른 Au 범프(170)가 형성된 반도체 활성소자가 제조된다.

도 2f는 Au 범프(170)가 형성된 반도체 활성소자(110)를 개략적으로 도시한 것이다.

상기 공정들로 제조된 본 발명의 반도체 활성소자 웨이퍼는 전기적 테스트 결과로부터 양호한 제품의 소자들만 골라서 일정 규격의 트레이에 담겨진다.

다음 공정은 상기 공정으로 제조된 패키지, 즉 Au 범프(170)가 형성되어 있는 반도체 활성소자(110) 패키지를 어셈블리하는 것과 이를 위한 투명한 회로기판(200)의 제조로서, 이를 도 3에 예시블리 공정도로 나타내었다.

먼저, 도 3a에 도시한 바와 같이 본 발명에 적합한 회로가 형성된 투명한 회로기판(200)의 구조도의 일례가 도시되어 있다.

이 투명한 회로기판(200)은 빛이 투과할 수 있도록 투과율이 우수한 제질로서, 유리 종류일 수 있으며 한쪽 면에는 Au 범핑된 소자가 본딩되는 기판 전극패드(210)가 존재하게 되며, 그 보다 외곽에는 최종적으로 완성된 어셈블리와 시스템을 전기적으로 연결하기 위한 가요성 기판(260)이 연결될 별도의 외부 연결용 전극패드(220)가 형성되어 있다.

상기 외부 연결용 전극패드(220)는 금속증착법으로 형성되어 식각공정을 통해 패터닝되며, 그 재질은 Au 범프 형성 공정에서 사용된 하부 금속 접착층(130)들 중 단독 또는 그들의 조합으로 적용될 수 있으며, 다른 예로는 In-Sn-O 증착하여 사용할 수 있다.

상기의 금속막이 증착된 투명한 회로기판(200)은 감광성 폴리머를 도포, 노광하여 패터닝한 후 에칭 공정을 통해 회로를 형성하고 최종적으로 감광성 폴리머를 제거하는 일반적인 공정을 거쳐 완성된다.

또한 투명한 회로기판(200)은 단일 패키지 크기로 제작될 수도 있으나 생산성을 위해, 다수의 패키지가 실장될 수 있도록 면(array) 배열로 구성하여 제조될 수 있으며 이러한 경우, 패키지를 실장 한 후 개별 제품으로 절단되어 최종 완성된다.

상기 공정으로 제조된 패키지와 회로가 형성된 투명한 회로기판(200)을 전기적으로 상호 연결하고 고정하기 위해서는 전기적 전도될 수 있는 매개체가 사용된다.

이 전도성 매개체는 여러 형태 및 재질로 제공될 수 있으나, 본 발명에 적합하게는 도전성 금속불(240)을 함유한 폴리머 상태로 제공되며, 이 폴리머는 액상 접착제(Anisotropic Conductive Adhesive, ACA) 및 온 경화되어 일정 형상을 가지는 고상 필름(Anisotropic Conductive Film, ACF) 일 수도 있다.

상기 이방 전도성 폴리머(230)는 열경화성 또는 열가소성 또는 그 조합의 수지를 주성분으로 하며, 구형 또는 각형의 형태 Au, Ni, Ag, Cu 등의 도전성 금속불(240)이 일정량 이상 함유되어 있으며, 이 도전성 금속불(240)은 균일한 분포가 요구되어 진다. 이 도전성 금속불(240)의 크기는 범프들 간격에 따라 달라질 수 있으나 0.5 ~ 10 μm 의 입자크기 범위를 갖는다.

상기 이방 전도성 폴리머(230)를 투명한 회로기판(200)과 Au 범프(170)가 형성된 반도체 환상소자(110) 사이에 개재시킨 상태에서 실제 수십 ~ 2,000 도 정도의 온도로 가열하여 수지를 용융시킨 후 수초 ~ 수분 유지하여 경화시킨다.

이로서, 상대하는 다수의 전극은 도전성 금속불(240)과 접촉함으로써 전기적인 접속이 얻어지고, Au 범프(170)와 기판 전극패드(210)가 없는 부분에서는 수지의 경화에 의해 기계적으로 고착이 얻어진다.

다른 실시예로서, 상기 공정으로 접착된 어셈블리를 재 가열하여 폴리머 수지를 추가적으로 경화시키는 공정을 기할 수도 있다.

상기 패키지의 실장공정은 반도체 환상소자(110)의 신뢰성을 위해 불활성 기체 분위기에서 행하여 투명한 회로기판(200)과 패키지의 이미지 센싱 영역(3) 내부를 불활성 분위기로 밀봉한다.

이러한 공정들은 다수의 패키지가 실장될 수 있도록 면 배열로 되어 있는 투명한 회로기판(200)에서 행해지며 실장이 끝난 후 개별 패키지 모듈로 절단된다.

상기 공정들에 의해 Au 범프(170)가 형성된 패키지의 실장이 완료되면, 투명한 회로기판(200)의 기판 전극패드(210)와 외부 시스템의 전기적인 접속이 가요성 기판(260)을 이용해 이루어진다.

이를 위해 도 3g 내지 도 i 에 나타난 것처럼 반도체 환상소자 외곽에 형성되어 있는 외부 연결용 전극패드(220) 상부에 상기에서 설명된 이방 전도성 폴리머(230)를 개재한 후 준비된 가요성 기판(260)을 접착시킨 후 가열 압착하여 최종 어셈블리를 완성한다. 이 공정에서의 이방 전도성 폴리머(230)는 패키지 실장 전 또는 실장 후에 일괄적으로 개재할 수 있다.

상기 공정에 의해 실장이 완료된 다수의 면 배열 어셈블리는 도 3j 에 도시한 바와 같이 절단용 휠(270)이 장착된 장비를 이용하여 이미지 센서 어셈블리 유니트(280)로 분리하여 공정을 완료한다.

그러므로 위와 같은 공정을 거쳐서 제조된 본 발명의 이미지 센서 어셈블리 유니트(280)는 도 4 에 도시한 바와 같이 종래의 골드 와이어 본딩 방식으로 제조된 이미지 센서 패키지에 비해 패키지의 크기를 최소화할 수 있으므로 궁극적으로 최종 모듈의 크기를 크게 감소시키는 장점이 있고, 이러한 이미지 센서 어셈블리 유니트(280)를 도 5 에 도시한 바와 같이 렌즈 유니트(300)의 하단에 고정하므로써, 반도체 환상소자 이미지 센서 모듈의 전체 크기를 획기적으로 축소시킬 수 있는 것이다.

이상과 같이 본 발명에 따른 플립칩 병렬을 이용한 반도체 환상소자 패키지 및 그 어셈블리 방법을 예시된 도면을 참조로 설명하였으나, 본 명세서에 개시된 실시예와 도면에 의해 본 발명은 이에 한정되지 않으며, 본 발명의 기술사상

번위 내에서 당업자에 의해 다양한 변형이 이루어질 수 있음은 물론이다.

발명의 효과

상기한 바와 같이 본 발명에 의한 플러칩 범핑을 이용한 반도체 촬상소자 패키지 및 그 제조방법으로 제조된 이미지 센서 어셈블리(280)는, 도 6 에 도시한 바와 같이 종래의 골드 와이어 본딩 방식을 사용하여 제조된 이미지 센서 패키지(12)에 비해서 패키지의 크기를 최소화하고, 궁극적으로 최종 모듈의 크기를 크게 감소시키는 효과가 있다.

또한, 본 발명에 의해 반도체 촬상소자(110) 이미지 센서 패키지를 제조하는 경우 일괄 공정이기 때문에 생산비를 대폭적으로 절감할 수 있는 효과가 있다.

또한, 회로가 형성된 유리기판에 이미지 센서 패키지를 실장하면서 동시에 밀봉하기 때문에 기존의 실장 공정을 단축하는 효과도 있다.

(57) 청구의 범위

청구항 1.

절연층(120)에 의해 이격되는 다수의 전극패드(150)가 노출된 반도체 촬상소자(110)에 있어서,

상기 전극패드(150)상에 다층으로 구성된 하부 금속층(100)과;

상기 하부 금속층(100)에 형성된 Au 범프(170)와;

상기 Au 범프(170)가 형성된 반도체 촬상소자(110) 패드지가 다수의 기판 전극패드(210)를 갖고 있고, 회로가 형성된 유리기판(200)에 이방 전도성 폴리머(230)를 사용하여 접착된 이미지 센서 어셈블리(270)와;

접착된 패드지의 Au 범프(170)와 주위가 이방 전도성 폴리머(230)로 보호 및 밀봉되고, 이미지 센서 영역(3)이 투명한 회로기판(200)으로 밀봉된 구조를 포함하는 플러칩 범핑을 이용한 반도체 촬상소자 패키지.

청구항 2.

다수의 전극패드(150)를 갖는 반도체 촬상소자(110)에 있어서,

절연층(120)으로 이격시켜 전극패드(150)를 노출시키는 공정과;

상기 노출된 전극패드(150) 및 절연층(120)의 상부에 순차적으로 금속 접착층(130), 도금용 전극층(140)을 형성하는 공정과;

상기 도금용 전극층(140)의 상부에 도금 공정용 감광성 물질(160)을 도포한후, 노광 및 현상하여 상기 전극패드 상부의 도금용 전극층(140) 영역이 선택적으로 노출되도록 패터닝하는 공정과;

상기 노출된 도금용 전극층(140)의 상부에 Au 를 도금하는 공정과;

상기 패터닝된 도금 공정용 감광성 물질(160)을 제거한 후, 도금된 Au 범프(170)를 마스크로 적용하여 잔류 하부 금속층(100)을 에칭하는 공정과;

상기 Au 범프(170)가 형성된 촬상소자가 안착될 기판 전극패드(210)를 형성하기 위해 투명한 기판에 금속 박막을 증착하는 공정과;

상기 증착된 금속 상부에 감광성 폴리머를 도포, 노광 및 현상하여 금속회로가 형성될 영역 이외의 폴리머를 제거하는 공정과;

상기 잔류하는 폴리머를 에칭 마스크를 사용하여 금속막을 에칭하여 기판 금속회로(245) 및 기판 전극패드(210)를 형성하는 공정과;

상기 형성된 기판 전극패드(210) 부위에만, 도전성 금속볼(240)이 함유된 이방 전도성 폴리머(230)를 도포하거나 접

작하는 공정과;

완성된 패키지를 회로가 형성된 투명한 회로기판(200)에 안착 및 열압착시켜 실장과 동시에 밀봉하는 공정을 포함하는 것을 특징으로 하는 플립칩 범핑을 이용한 반도체 활성소자 패키지 제조방법.

청구항 3.

제 2 항에 있어서,

상기 금속 접착층(130)은 100~5,000Å 두께의 Al 재질, Al계 합금 재질, Ti 재질, Ti계 합금 재질, Cr 재질 또는 Cr 합금 재질 중 선택된 어느 하나로 형성된 것을 특징으로 하는 플립칩 범핑을 이용한 반도체 활성소자 패키지 제조방법.

청구항 4.

제 2 항에 있어서,

상기 도금층 전극층(140)은 100~5,000Å 두께의 Au 재질, Cu 재질 및 Cu계 합금 재질 또는 Ni 및 Ni 계 합금 재질 중 선택된 어느 하나로 형성된 것을 특징으로 하는 플립칩 범핑을 이용한 반도체 활성소자 패키지 제조방법.

청구항 5.

제 2 항에 있어서,

상기 Au 범프(170)가 형성된 반도체 활성소자(110)가 장착되는 회로기판(200)은 유리를 포함하는 투명한 재질이며, 반도체 활성소자(110)의 이미지 센싱 영역(3) 이외의 영역에 회로가 형성되어 있고, 동시에 반도체 활성소자(110)의 Au 범프(170)가 놓일 다수의 기판 전극패드(210)를 갖도록 한 것이 특징인 플립칩 범핑을 이용한 반도체 활성소자 패키지 제조방법.

청구항 6.

제 5 항에 있어서,

상기 투명한 회로기판(200)에 형성된 기판 금속회로(245)와 외부 연결용 전극패드(220) 및 기판 전극패드(210)는,

증착법에 의해 순차적으로 한 개 또는 다층의 금속막 형태로 제공되며, 하부층의 재질은 Ti 또는 Ti계 합금 재질이고, 상부층의 재질은 Au 또는 Cu 및 Cu 계합금 재질이며, 단일 층으로 형성하는 경우에는 In-Sn-O 합금 재질로 형성하며, 그 두께는 100 ~ 5,000 Å 인 것을 특징으로 하는 플립칩 범핑을 이용한 반도체 활성소자 패키지 제조방법.

청구항 7.

제 2 항에 있어서,

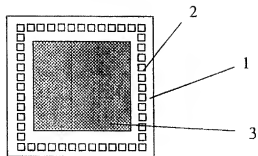
상기 투명한 회로기판(200)에 도포된 이방 전도성 폴리머(230)는 열경화성 또는 열가소성 및 그의 조합인 수지를 기본으로 하며, 수지 내에 도전성 금속볼(240)이 각형 또는 구형으로 함유되며, 그 금속볼의 크기는 0.5 ~ 10 μm 의 입자크기 범위를 갖는 것을 특징으로 하는 플립칩 범핑을 이용한 반도체 활성소자 패키지 제조방법.

청구항 8.

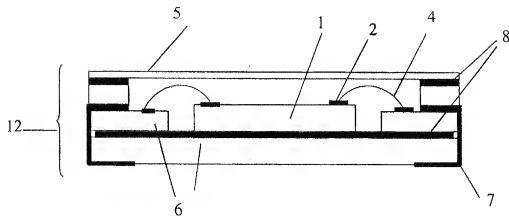
제 1 항에 있어서,

상기 Au 범프(170)가 형성된 반도체 활성소자(110)를 회로가 형성된 투명한 회로기판(200)에 장착하여서 반도체 활성소자의 접착과 외부로부터 보호되어야 할 이미지 센싱 영역(3)의 밀봉이 동시에 이루어지도록 한 것을 특징으로 하는 플립칩 범핑을 이용한 반도체 활성소자 패키지 제조방법.

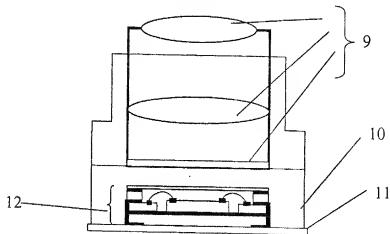
도면1a



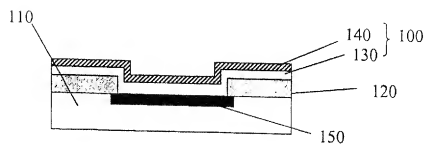
도면1b



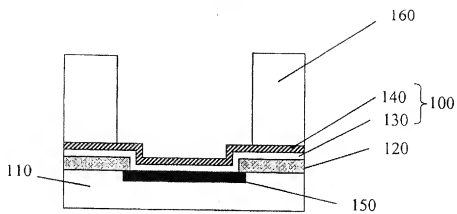
도면1c



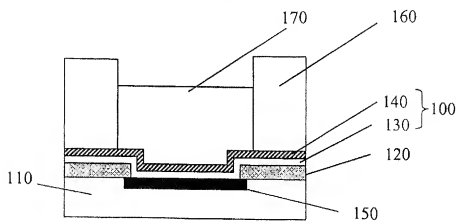
도면2a



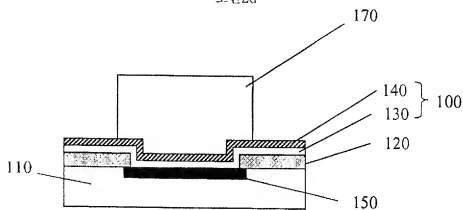
도면2b



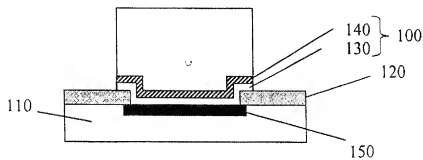
도면2c



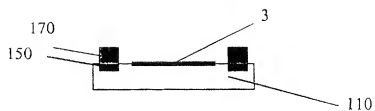
도면2d



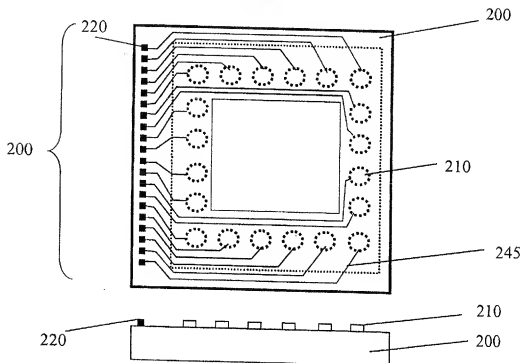
도면2e



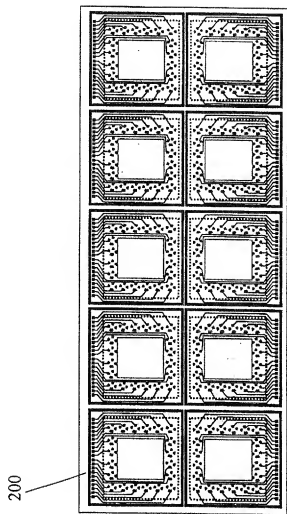
도면2f



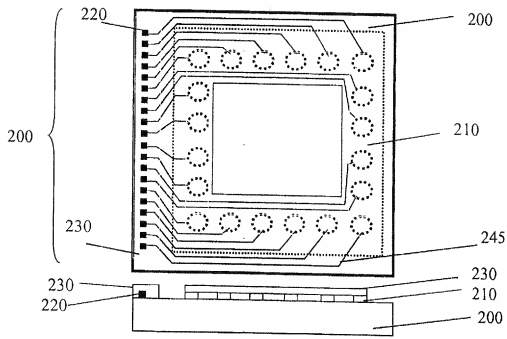
도면3a



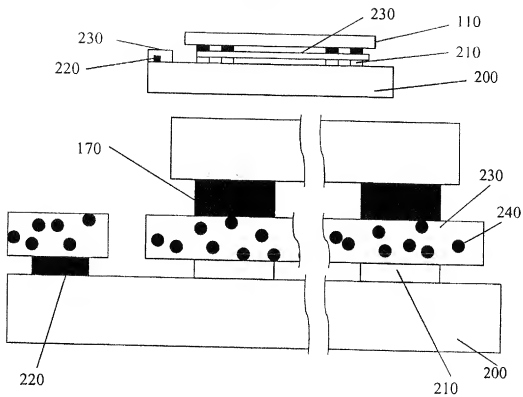
도면3b



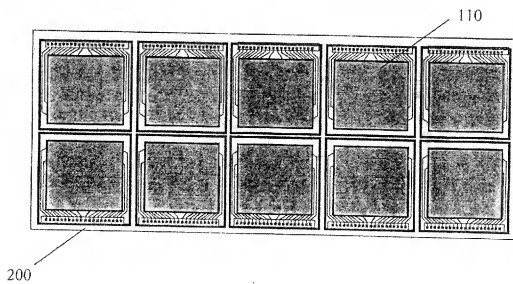
도면3c



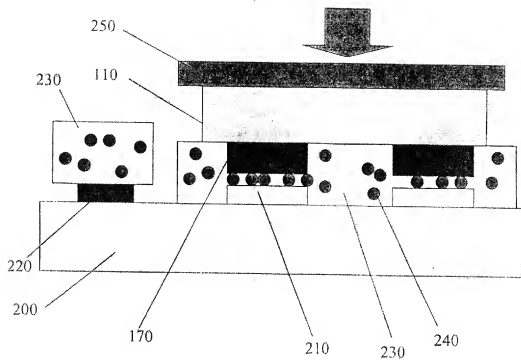
도면3d



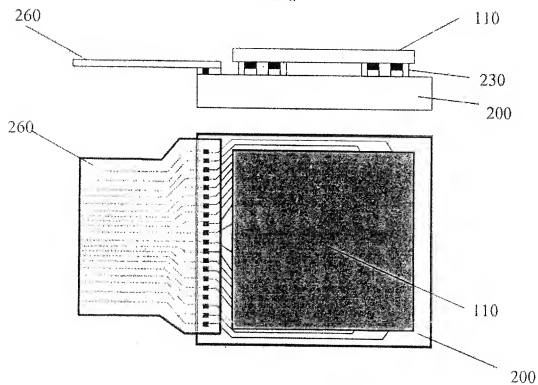
도면3e



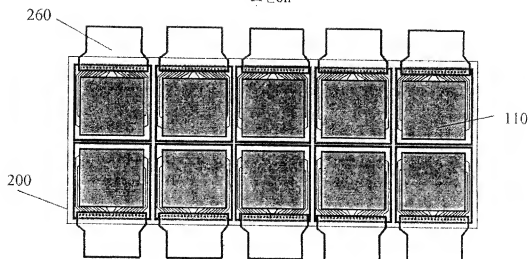
도면3f



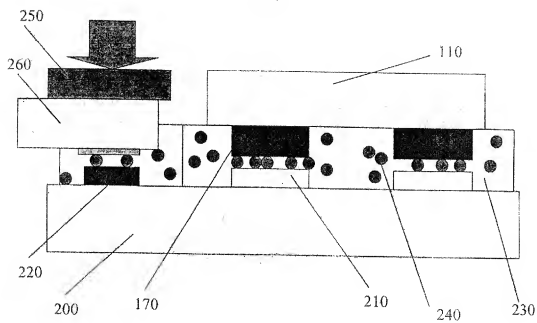
도면3g



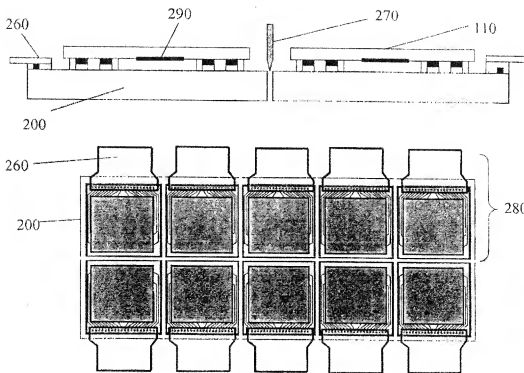
도면3h



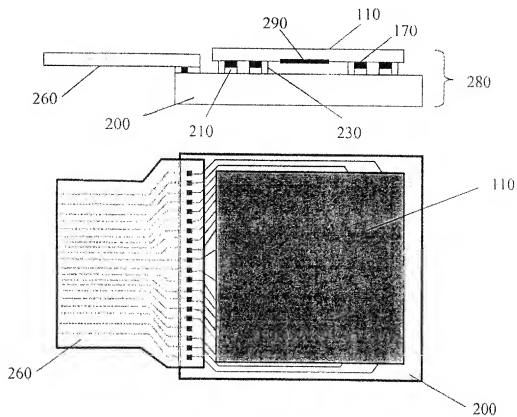
도면3i



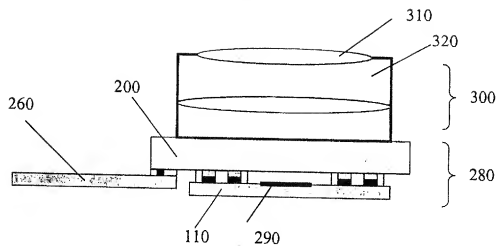
도면3



도면4



도면5



도면6

